

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2000 EPO. All rts. reserv.

6115551

Basic Patent (No,Kind,Date): JP 62145289 A2 870629 <No. of Patents: 001>

DRIVER BUILT-IN ACTIVE MATRIX PANEL (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): MATSUEDA YOJIRO; MISAWA TOSHIYUKI; SATO TAKASHI

IPC: *G09G-003/20; G02F-001/133; G09F-009/35

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 62145289	A2	870629	JP 85286450	A	851219 (BASIC)

Priority Data (No,Kind,Date):

JP 85286450 A 851219

CONCISE STATEMENT OF JP62-145289

This Japanese Laid-Open patent was cited by Japanese Patent Office for showing a feature that a driver TFTs are formed on a same substrate as pixel TFTs. Fig. 7 shows cross section of an active matrix panel having a driver circuit. The followings are description of the reference numerals of the drawings:

- 1: shift register
- 2-4: output of shift register(1)
- 8, 9, 10: line memory
- 11, 12, 13: source follower circuit
- 5-7, 23-25: switching circuit
- 14-16: TFT
- 17-19, 20-22: resistance
- 26-28: data lines
- 80: insulating substrate
- 81: first silicon film
- 82: gate insulating film
- 83: second silicon film or metal film
- 84: interlayer insulating film
- 85: transparent electrode

⑫ 公開特許公報(A)

昭62-145289

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)6月29日

G 09 G 3/20
G 02 F 1/1333 2 7
3 3 2D-7436-5C
8205-2H
7348-2H
6731-5C

審査請求 未請求 発明の数 1 (全6頁)

G 09 F 9/35

⑮ 発明の名称 ドライバー内蔵アクティブマトリクスパネル

⑯ 特 願 昭60-286450

⑰ 出 願 昭60(1985)12月19日

⑱ 発 明 者 松 枝 洋 二 郎 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 ⑲ 発 明 者 三 澤 利 之 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 ⑳ 発 明 者 佐 藤 尚 諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 ㉑ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
 会社
 ㉒ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1 発明の名称

ドライバー内蔵アクティブマトリクスパネル

2 特許請求の範囲

絶縁基板上に設けられた走査線群、データ線群、前記走査線及びデータ線を駆動するドライバー乗置回路、及び前記走査線及びデータ線の交点に設けられた駆動トランジスタ(以下TFTと略記)アレイによって液晶を駆動して成るドライバー内蔵アクティブマトリクスパネルにおいて、前記ドライバー乗置回路内に、第1のTFTを用いたソース・ホログ回路と、第1のTFTと異なる第2のTFTを用いたスイッチング回路及びラインメモリ回路とを備え、液晶を駆動するTFTアレイを第2のTFTを用いて構成したことを特徴とするドライバー内蔵アクティブマトリクスパネル。

3 発明の詳細な説明

(産業上の利用分野)

本発明は、ドライバー内蔵アクティブマトリクスパネルの回路構成に関する。

(発明の概要)

本発明はドライバー内蔵アクティブマトリクスパネルにおいて、ドライバー乗置回路内に、第1のTFTを用いたソース・ホログ回路と、第1のTFTと異なる第2のTFTを用いたスイッチング回路及びラインメモリ回路とを備え、液晶を駆動するTFTアレイを第2のTFTを用いて構成したことにより、ソース・ホログ回路の入出力電圧の差を第2のTFTのOFFスイッチング時に生じる電圧変化分で補い、画面電圧に画面データと等しい電圧を保持させるようにしたものである。

(従来技術)

絶縁基板上にTFTを用いてドライバーを内蔵したアクティブマトリクスパネルの例として、Morozumi, et. al. SID84 DIOEST. P316, 1984, N

示されるようなものがある。これは、走査線数210本、データ線数180本という比較的解像度の低いものであった。

(発明が解決しようとする問題点及び目的)

ドライバー内蔵アクティブマトリクスパネルを高精細化する場合、必然的に走査線数が増加し、一走査線選択期間は減少する。また、データ線数も増加し、データ線選択期間が減少する。この結果、

① 画素TFTの書き込み能力が不足する。

② 画素データとデータ線に書き込む際のドライバーの書き込み能力が不足する。

という問題を生じる。この問題点を解決するためには、ドライバー内にアナログバッファを形成しドライバーの駆動能力を上げ、さらにドライバー内にラインメモリーを設けアクティブマトリクスパネルを逐次駆動すればよい。しかしTFTを用いたアナログバッファには以下に述べるような問題点がある。

第2図はTFTを用いたソース・ホログ回路で

る。これはTFTのスレッショルド電圧が高いために起こるものであり、単結晶Si上に作られたMOSFETではこの現象は問題とならない。このTFTのソース・ホログ回路を用いてアクティブマトリクスパネルを駆動する場合、データ線に書き込まれる電圧が、画素データに対して ΔV_{th} だけシフトしてしまい、画素にも実際のデータより ΔV_{th} だけずれた電圧が書き込まれる。この場合、表示画面が入力信号と異なるものとなり、また画素のTFTのゲート・ソース間電圧 V_{gs} が小さくなり書き込み能力が不足する等の問題を生じる。以上はマルチチャンネルTFTの場合であるが、単チャンネルTFTを用いたソース・ホログ回路では V_{out} は V_{in} より低電圧側へ同様にシフトし、画素TFTが十分OPFできない等の問題点を生じる。

本発明は以上のような問題点を解決するものである。その目的とするところは、画素電圧に画素データと等しい電圧を書き込む逐次ドライバーをTFTで構成し、高精細ドライバー内蔵アクティブマトリクスを実現する回路構成を提案するところにある。

ある。ソース・ホログ回路は、構造が簡単で入力インピーダンスが高く出力インピーダンスが低いという特徴がありアナログバッファに通している。60は入力信号源でありその電圧を V_{in} とする。61は負荷で抵抗 R_L と容量 C_L の並列インピーダンス Z_L で表わされ、これに印加される出力電圧を V_{out} とする。62は電流 i_d を供給する定電流源で63、64、65はそれぞれTFTのソース(S)、ドレイン(D)、ゲート(G)に対応する。第3図はTFTのゲート・ソース間電圧 V_{gs} をパラメータとし、ドレイン・ソース間電圧 V_{ds} を横軸にとった場合のドレイン・ソース間電流 I_{ds} を示したグラフである。第2図において

$$I_{ds} = i_d = V_{gs} / R$$

の関係があるため、TFTの動作点は第3図の点組上を動く。たとえば入力信号 V_{in} を中心とする幅 ΔV の信号であれば、動作点はA点を中心としてB点とC点の間を往復する。この場合の入力信号 V_{in} と出力信号 V_{out} の関係を第4図に示す。この図からわかるように、TFTのソース・ホログ回路では、入出力信号間に ΔV_{th} なる電位差を生じ

る。

(問題点を解決するための手段)

本発明のドライバー内蔵アクティブマトリクスパネルは、ドライバー内に、第1のTFTを用いたソース・ホログ回路と、第1のTFTと特性の異なる第2のTFTを用いたスイッチング回路及びラインメモリー回路とを備え、逐次駆動するTFTアレイを第2のTFTを用いて構成したことを特徴とする。

(作用)

本発明の上記の構成によれば、ソース・ホログ回路の入出力電圧の差を第2のTFTのOPFスイッチング時に生じる電圧変化分で補い、画素電圧に画素データと等しい電圧を書き込むことができる。

(実施例)

本発明のドライバー内蔵アクティブマトリクスパネルは、第1図(a)に示すドライバー部と第1図(b)に示すYドライバー部および画素エリアよりなる。まずドライバーの構成について述べる。

1はシフトレジスタであり、2~4はその出力である。ビデオ信号はシフトレジスタの出力パルスのタイミングに応じて5~7のTPTを介してラインメモリ8~10に書き込まれる。11~13はTPTのソース・ホロク回路で23~25のスイッチング回路を介して26~28のデータ線に画像データを書き込む。14~16のTPTは17~19及び20~22の抵抗によりゲート電位を一定に保たれており、ソース・ホロク回路の電流源として働く。同図において V_{ss} および V_{DD} はそれぞれ負電源、正電源である。次に第1図(6)について述べる。30は画像エリアで31はエドタイプ部である。32~34はデータ線26~28の補助容量である。35~37は走査線であり、38~46は画像電版を駆動するTPT、47~55は液晶の容量、56は対向電版でありその電位を V_{10} とする。

第3図はドライバー内蔵アクティブマトリクスパネルの各部の動作電圧波形であり、この図と第1図(6)、(8)を並べて順次電駆の動作を説明する。一般にNTSCのビデオ信号は垂直フィールド

され、エドタイプによって順次1本ずつ選択される。走査線は、データ線に画像データが書き込まれる直前から、次のデータが書き込まれる直前までのTPTの期間選択され、この間その走査線に付いている一行の画像TPTをONさせ、画像電版に一斉に画像データを書き込む。ラッチパルスがLレベルとなり26~27のスイッチング回路TPTがOFFした後も、データ線は保持容量26~28によって画像データを保持し、画像電版にデータを書き込み続ける。この時ラインメモリ8~10には次の行のデータが書き込まれているわけである。このように、順次電版は画像電版にデータを書き込む時間 T を水平走査期間 T_H と等しくすることができ、またソース・ホロク回路によりデータ線への書き込み能力も向上するため高解像度パネルを実現することができる。

次にデータ線に書き込まれる画像データが、ビデオ信号と同じレベルとになっていることを説明する。第4図は、第1図(6)のエドタイプの1段目の M_1 ~ M_4 の各部および第1図(8)の画像電版 M_1 の作

と傾斜フィールドを合わせた1フレームの信号で画面全体の駆を司る。液晶は交流駆動するため、ビデオ信号は71のようにフィールドごとにある電位を中心に正負反転させたのを用いる。第1図(6)の端子VIDにはこのビデオ信号71が、端子IBPにはスタートパルス75が印加される。このパルス75はクロック信号XCLの半周期ごとにシフトレジスタ1の接点へ順次送られ、各出力端子2~4から76、77のようなサンプリングパルスを出力する。これに応じて5~7のTPTがONして、8~10のラインメモリに画像データを書き込む。このラインメモリの容量はサンプリングパルスのON期間 T_{ON} の間に充分書き込める大きさにする。スタートパルスが入力されて以後、すべてのラインメモリにデータが書き込まれてからラッチパルス78がLレベルに印加され、スイッチング回路のTPT23~25をONさせ、ソース・ホロク回路のTPT11~13によってデータ線に画像データが書き込まれる。一方走査線35~37には72のような選択信号が出力

作電位を示したものである。時刻 $t=0$ においてTPT5がONしビデオ信号がラインメモリ8に書き込まれる。この時 M_1 と M_2 の電位は等しくなるが、 $t=t_1$ でTPT5がOFFした瞬間、 M_2 の電位は ΔV_1 だけ下がる。これはTPTの電荷 Q_1 とラインメモリの容量 C_0 の間の容量結合によるもので、サンプリングパルスの電荷を Q_1 とすると、

$$\Delta V_1 = Q_1 \cdot C_0 / (C_1 + C_0)$$

で表わされる。 M_2 の電位は M_1 の電位に対して ΔV_1 だけ高くなる。これは前述のTPTによるソース・ホロク回路の特性である。 $t=t_2$ においてラッチパルスLPがHighレベルとなりTPT23がONして M_1 と M_2 の電位が等しくなる。 $t=t_3$ においてラッチパルスLPがLowレベルとなりTPT23がOFFする瞬間、 M_1 の電位は ΔV_2 だけ下がる。これもTPT23の容量 C_2 とデータラインの容量 C_0 との容量結合によるもので、ラッチパルスの電荷を Q_2 とすると、

$$\Delta V_2 = Q_2 \cdot C_0 / (C_2 + C_0)$$

で表わされる。さらに時刻 t_4 において走査線の

号がLowレベルとなりTFT38がOFFする期間 M_0 の電位が ΔV_3 だけ下がる。これも同様にTFT38の容量 C_3 と47の液晶の容量 C_4 の容量結合によるものであり、走査駆動信号電位を V_3 とすると、 $\Delta V_3 = V_3 - C_3 / (C_3 + C_4)$ で表わされる。ここで $\Delta V_1 = \Delta V_1 + \Delta V_2 + \Delta V_3$

となるように各TFT及び容量の大きさを設定してあげれば、 M_0 の電位は画面にかけられるビデオ信号の電位と等しくすることができ、つまり画面電位に画面データと等しい電圧を蓄え込むことができるわけである。これはソース・ホログ回路のTFT11~13の特性が、スイッチング回路のTFT5~7及び23~25及び画面エリアのTFT38~46の特性と異なる場合にのみ可能となる。

第7図に、ドライバ部をCMOSTFT、画素アレイ部をNMOSTFTで形成した場合のドライバ内蔵アクティブマトリクスパネルの断面図の一例を示す。80は絶縁基板、81は1層目のシリコン薄膜、82はゲート絶縁膜、83は2層目のシリコン薄膜または金属薄膜、84は彫削絶縁膜。

第2図はソース・ホログ型のTFT回路を示す回路図。

第3図はTFTの $I_{DS} - V_{DS}$ 特性図。

第4図は第2図の回路の入出力特性図。

第5図はドライバ内蔵アクティブマトリクスパネルの各部の動作電圧図。

第6図はX個ドライバの各部の動作電圧図。

第7図はドライバ内蔵アクティブマトリクスパネルの断面図。

8, 9, 10 ラインメモリ

11, 12, 13 ソース・ホログ回路

5~7, 23~25 スwitchング回路

以上

出願人 セイコーエプソン株式会社

代理人 弁理士 堤上 務他1名



8, 5は透明導電膜であり、画素電極以外は金属配線を用いることも可能である。

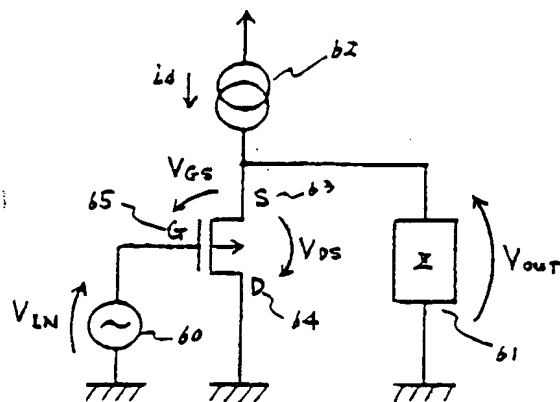
(発明の効果)

以上述べたように本発明の上記の構成によればデータ線にビデオ信号を忠実に書き込めるようになるだけでなく、ソース・ホログ回路を用いることでデータ線の駆動にマーシャングができ、スイッチング回路とラインメモリを組み合わせて逐次駆動することで画面へのデータの書き込みにもマーシャングができる。したがって高解像度ドライバ内蔵アクティブマトリクスの実現が可能となる。また、動作電圧にもマーシャングができるため電源電圧を低くして低消費電力化することもできる。

4. 図面の簡単な説明

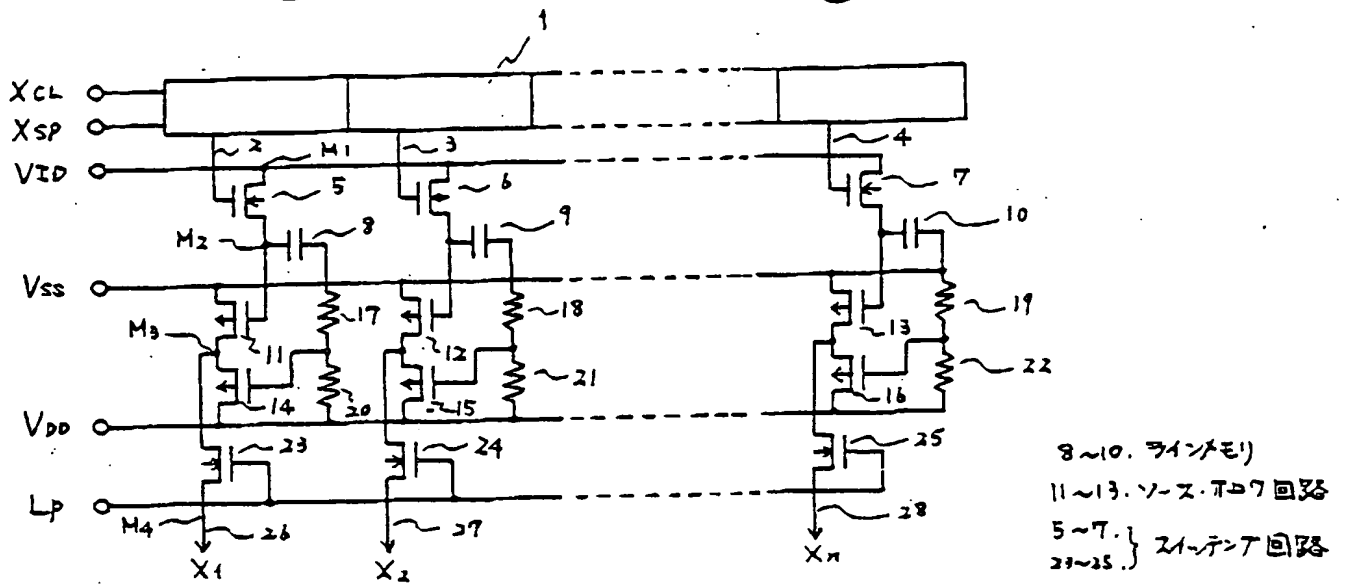
第1図(a)はドライバ内蔵アクティブマトリクスパネルのXドライバ部の回路図。

第1図(b)はドライバ内蔵アクティブマトリクスパネルのYドライバ部及び画面エリアの回路図。



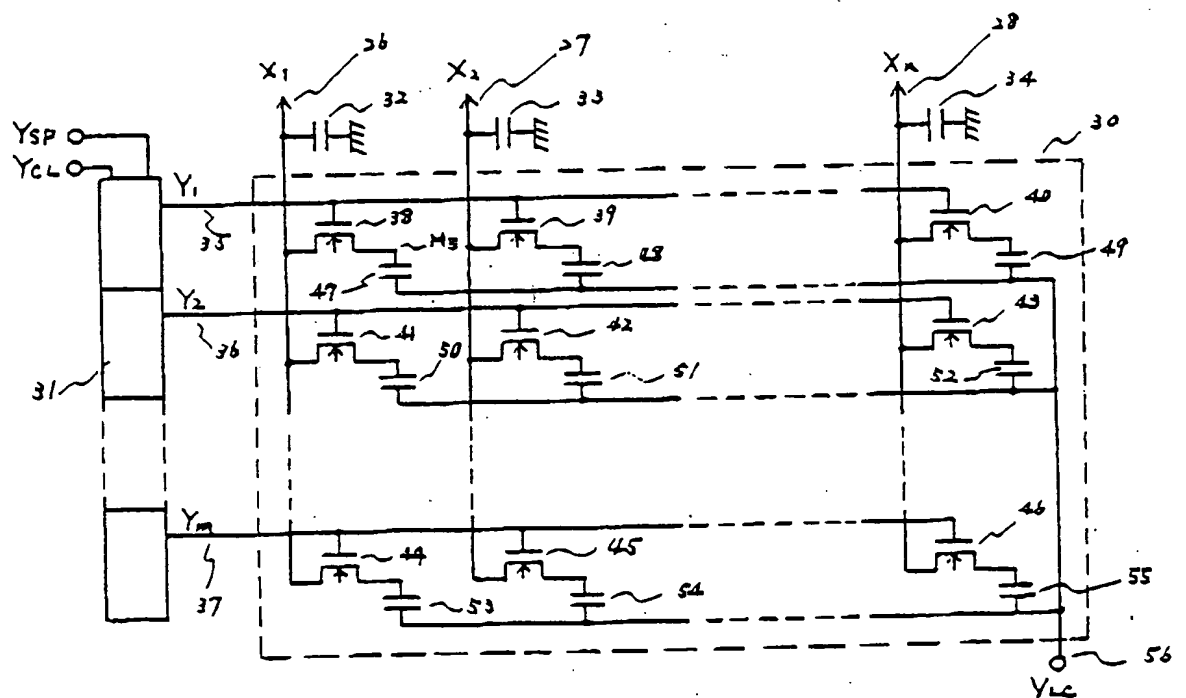
ソース・ホログ型TFT回路の回路図

第2図



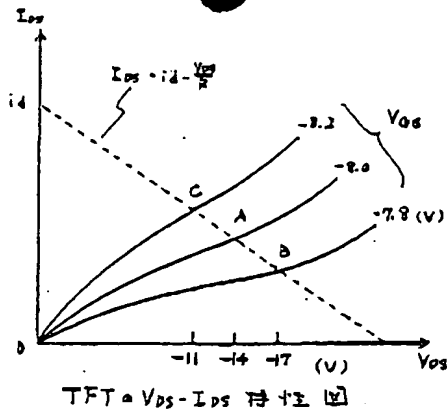
ドライバー内蔵アクティブマトリクスパネルの
Xドライバー部の回路図

第1図 (a)

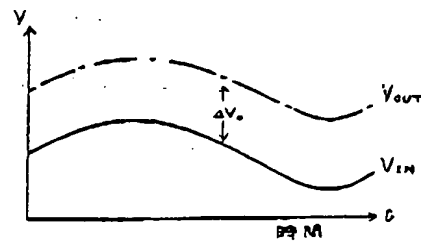


ドライバー内蔵アクティブマトリクスパネルの
画素エリアとYドライバー部の回路図

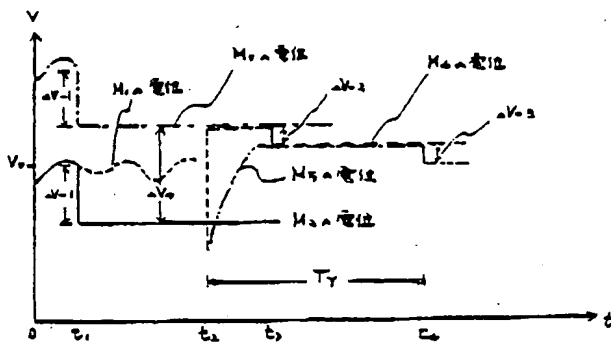
第1図 (b)



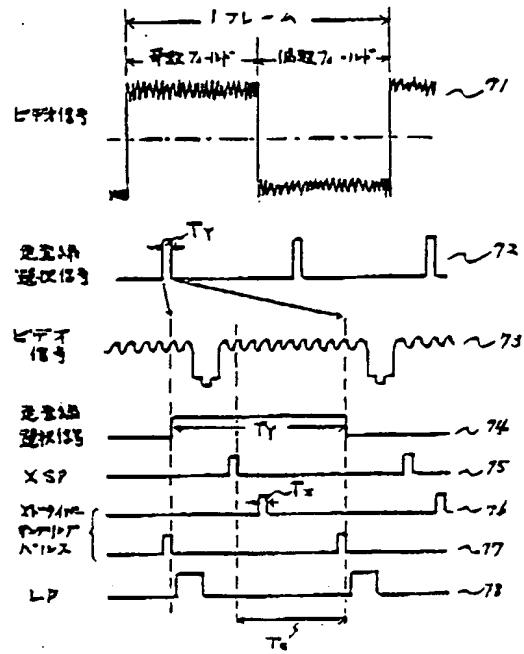
第3図



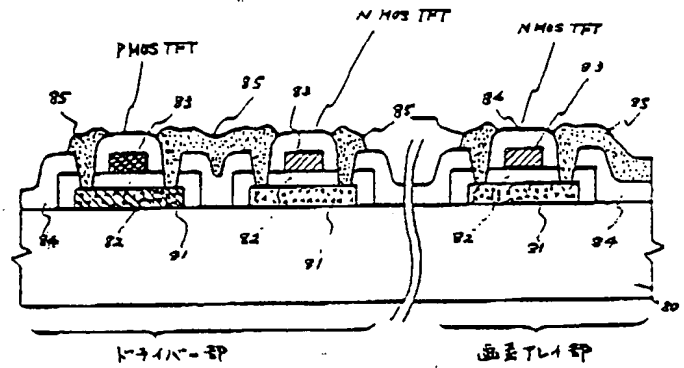
第4図



第6図



第5図



第7図